

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-273773

(43) 公開日 平成7年(1995)10月20日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28				
H 0 4 Q 3/00		9466-5K	H 0 4 L 11/ 20	G
		9466-5K		H

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平7-64567

(22) 出願日 平成7年(1995)3月23日

(31) 優先権主張番号 9 4 0 5 7 8 8 . 2

(32) 優先日 1994年3月23日

(33) 優先権主張国 イギリス (GB)

(71) 出願人 591271896

ロウク マナー リサーチ リミテッド  
イギリス国ハンプシャー, ロムジイ, ロウ  
ク マナー (番地なし)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト  
SIEMENS AKTIENGESEL  
LSCHAFTドイツ連邦共和国 ベルリン 及び ミュ  
ンヘン (番地なし)

(74) 代理人 弁理士 矢野 敏雄 (外1名)

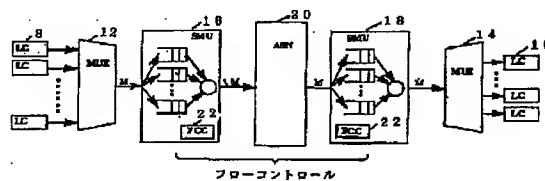
最終頁に続く

(54) 【発明の名称】 ATMキューイングおよびスケジューリング装置

(57) 【要約】

【目的】 ピークセルレートを制限するための装置を提供する。

【構成】 この装置は、ATMセルがその上で受け取られる入力線および、ATMセルがその上に伝送される出力線とに接続されたバッファストアを含んでいる。制御装置は、各セルごとにチャンネル識別子およびバス識別子を受け取り、それらから、バッファストアに加えられる、そしてカレンダーが維持できるセルレートを制御するのに従い伝送のために特定のセルをスケジュールするのに用いられる、最大遅延値を表す第1信号を発生する。制御装置は、バッファ装置に加えられる、そして前記第1信号と関連して、カレンダーがピークセルレートを制御するのに従い伝送のために特定のセルをスケジュールするのに用いられる、最小遅延値を表す第2信号を発生する。



## 【特許請求の範囲】

【請求項 1】 ATMセルがこの上で受け取られる入力線および ATMセルがこの上で伝送される出力線とに接続されたバッファ装置と、各セルに関するチャンネル識別子およびバス識別子を受け取り、それらから、バッファ装置に加えられる、そして維持できるセルレートを制御するカレンダーに従って伝送のために特定のセルをスケジュールするために用いられる、最大遅延値を表す第 1 信号を発生する制御装置と、を含む ATMスイッチの出力側に接続された、ATMセルをキューイングおよびスケジューリングするための装置において、前記制御装置が、前記第 1 信号と同時に、バッファ装置に加えられる、そして伝送のために特定のセルをスケジュールするために用いられる、最小遅延値を表す第 2 信号を発生することを特徴とする、ATMセルをキューイングおよびスケジューリングするための装置。

【請求項 2】 最小遅延値が、ピークセルレートを制御するために別のカレンダーを制御するような、請求項第 1 項記載の装置。

【請求項 3】 値  $T + D_{min}$  が、第 2 カレンダー上でセルをスケジュールするのに用いられ、ここにおいて  $T$  = 実際の時間であり、そして  $D_{min}$  が最小遅延値であるような、請求項第 2 項記載の装置。

【請求項 4】 第 2 カレンダーが、各セルに関して、各時間スロットごとに増加される、リアルタイムリードポイントを用いるような、請求項第 3 項記載の装置。

【請求項 5】 各セルが前記バッファ装置内に一度だけ蓄積され、そしてピークセルレートカレンダーにおけるその時間スロットを識別するための第 1 ポイントと、そして維持できるセルレートカレンダーにおけるその時間スロットを識別するための第 2 ポイントを持つような、請求項第 4 項記載の装置。

【請求項 6】 ルートを規定するチャンネル接続のグループが、ルートに関するピークセルレートを分割し、そしてルートとして前記ピークセルレートカレンダー上でスケジュールされ、しかし維持できるセルレートカレンダー上で個別にスケジュールされるような、請求項第 5 項記載の装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ATMスイッチにおける ATMセルをキューイング及びスケジューリングするための装置に関する。

## 【0002】

【従来の技術】 ATMネットワーク及びスイッチは、パースト的なトラフィックを含む混合のトラフィックをサポートしている。その特性上、パースト的なトラフィックは一部の時間には高いビットレートを要求し、そして残りの時間に関しては僅かなビットレートを要求するか、あるいは何のビットレートも要求しない。ネットワ

ークにおいて用いられるビットレートを効果的に利用するためすべての接続の総合ピークビットレートが、ネットワークリンクのビットレートよりも大きくなるように、そのピークビットよりも低いビットレートを接続するよう割り当てる必要がある。

【0003】 この状態をサポートするために、ATMマルチプレクサは、セルがマルチプレクサに到達し、そしてそれを通して伝送されないときにセルをバッファするためにスイッチの入力において大きなバッファを必要とし、そしてまた、トラフィックが形成されるようスイッチの出力においてもバッファが存在し、これによってスイッチからの伝送の前にトラフィックのプロフィールが変更される。大きなバッファを持つこのようなスイッチは大バッファスイッチと呼ばれる。

【0004】 ATMネットワークにおいては、統計的なゲインが要求されるようなサービスカテゴリの品質において仮想チャンネル接続を意図した接続をセットアップすることを望むユーザーは、少なくとも 3 つのトラフィックパラメータにおいてネットワークと交渉しなければならない。これらのパラメータは、ピークセルレート、維持できるセルレート及び最大バーストサイズ、の幾つかの要素を含んでいる。出力バッファはこのため、セルを蓄積する必要がある、そのようにしてそれらが維持できるセルレートにおいて、しかしそれらのピークセルレートを超えることなく、伝送されることになる。この処理は、複数の ATM仮想チャンネル接続に関して完了されなければならない。

【0005】 ドイツ特許出願第 93120828.4 号においては、出側シェーピングアルゴリズムが議論されている。

【0006】 出側ネットワークリンクに関する許容された接続用に維持できるセルレートの和が、ネットワークリンク上の統計的に多重化されたサービスに関して利用できるビットレートによって取り扱うことができるのであれば、前に述べた出願において開示された出側スケジューラ/シェーパーは、制限されたバッファサイズを持つ統計的ゲインの高いレベルを提供することができる簡単なソース割り当て処理を用いてリンク上の各接続に関するセルレートに等しい最小サービスレートを保証することができる。

【0007】 図 1 を参照すると、どのようにして ATMセル 2 が入力線上で装置に入るかを示しており、この線は、この出側待ち行列に関して予定された多重化されたすべてのセルを持つ装置の一部から来るものである。セルの仮想バス識別子/仮想チャンネル識別子  $VPID/VCI$  は、その仮想チャンネル接続に関する最小サービスレートとして維持できるセルレートを保つために最大の許された遅延  $D_{max}$  を得るために用いられる。値  $D_{max}$  は次に、リーキバケットマネージャ 6 からセルバッファマネージャ 4 に供給される。セルバッファマネージャ 4

はカレンダーメカニズムを通して伝送に関してセルをスケジュールする。しかし、出力線は、ネットワーク出側リンク上に伝送される前に、他のセルと互いに多重化されたセルをカレンダーから転送する。

【0008】用いられるカレンダーメカニズムが図2に示されており、ここでは以下の省略が用いられている。FLTはフリーリストテイルであり、FLHはフリーリストヘッドであり、CETはカレンダーエントリテイルであり、CEHはカレンダーエントリヘッドであり、OLTは出力リストテイルであり、そしてOLHは出力リストヘッドである。セルバッファマネージャの構成コンポーネントは、セルメモリ、カレンダーおよび一連のポインタである。セルがセルバッファマネージャに到達したとき、フリーセルロケーションがフリーセルリストのヘッドから取り出され、そしてセルはそのロケーションにコピーされる。次にこのセルは、時間 $T + D_{max}$ （モジュール $N_{ca}$ ）においてカレンダー上にスケジュールされ、ここで時間 $T$ は現在時間であり、そして $N_{ca}$ はカレンダーのサイズである。もし別のセルが同じ時間スロットに関してスケジュールされれば、そのカレンダーの時間スロット内の待ち行列の前に、これが加えられる。

【0009】2つの出力ポインタが存在しており、1つはリアルタイムポインタ $T$ であり、そして他はリアルタイムポインタの前に移動することができるリードポインタ $RP$ である。 $RP$ および $T$ ポインタが同じ時間スロットをポイントしているときには、時間スロットに接続されているセルの完了リンクリストは出力待ち行列に転送されている。もし $RP$ ポインタが $T$ ポインタの前に移動していれば、これがセルを中に含んでいる時間スロットを発見したときに、セルはそのときに出力待ち行列1に移動され、こうして出力バッファには1つのセルよりも多くは決して存在しないようにされる。この理由は、セルがポインタ $T$ によって表される出力カレンダーから伝送されなければならないときに、 $RP$ ポインタがその時間の前に移動するためである。セルが出力カレンダーに到着し、これが時間 $T$ にいて直ちにスケジュールされるよう要求するならば、このセルは直接的に出力待ち行列に転送されなければならない、そして遅延なく出力待ち行列から伝送される。この理由によって、ポインタ $RP$ が実際の時間ポインタ $T$ の前にあるときには、出力待ち行列はその中に決して1セルよりも多くを持つことはない。しかし、この状態においては、ポインタ $RP$ は、ポインタ $T$ の前のセルスロットへのその位置にとどまっている。

【0010】セルがカレンダーに到着し、そしてポインタ $T$ 及び $RP$ の間にスケジュールされるよう要求したならば、このセルはスケジュールされるが、しかしまたポインタ $RP$ はこの新しくスケジュールされたセルの時間スロット位置に戻される。これを処理した後、ポインタ $RP$ は空でない時間スロットに関して再びカレンダーを調

る。この理由は、もしセル到着レートが伝送レートよりも大きければ、多くのセルがカレンダーに到着し、そしてポインタ $RP$ および $T$ の間でスケジュールを要求しているかもしれないからである。単純にそれらを出力ポートに転送することは、即座の出発を持つセルよりも前に伝送された、より後の出発時間を持つセルを取り残すことになる。ポインタ $RP$ は、常に、ポインタ $T$ に最も近い時間スロット、その中にセルを含む、にポイントされている。

【0011】ポインタ $RP$ がポインタ $T$ の前にあるような状態においては、ポートの負荷が増加するならば、各時間スロットに結びつけられたリンクされたリストは長さにおいて増加し、そして實際上実際の時間ポインタ $T$ はリードポインタ $RP$ を「キャッチアップ」する。

【0012】こうしてリードポインタが現在時間 $T$ の前に来ることは可能であるが、決して後ろにはならない。このアルゴリズムはこうして、与えられた仮想チャンネル接続に関する維持できるセルレートを保証するが、しかしピークセルレートには何の制約もない。

【0013】

【発明の目的】こうして、本発明の目的はピークセルレートを制限するための装置を提供することである。

【0014】

【発明の構成】本発明によれば、ATMセルが受け取られる入力線およびATMセルが伝送される出力線とに接続されたバッファ装置と、カレンダーが維持できるセルレートを制御する上でバッファ装置に加えられる、そして伝送のために特定のセルをスケジュールするのに用いられる最大遅延値を表す第1信号、そこからチャンネル識別子およびバス識別子が発生される、を各セルごとに受け取るための制御装置と、を含むATMスイッチの出力側に接続された、ATMセルをキューイングおよびスケジュールリングする装置において、前記制御装置が、バッファ装置に加えられる最小遅延値を表す第2信号を発生し、そして前記第1信号と同時に伝送のために特定のセルをスケジュールするのに用いることを特徴とする装置が提供される。

【0015】この最小遅延値は、ピークセルレートを制御するためにさらに別のカレンダーを制御するのに利用される。

【0016】

【実施例】本発明の実施例は、添付図面である図3から図7を参照しながら詳細に説明される。

【0017】図3を参照すると、入側にはラインカード8が示されており、その出力はATMマルチプレクサ12の入力に接続されている。マルチプレクサ12の出力は統計的な多重化ユニット16の入力に接続されており、その出力はATM交換ネットワーク20に供給される。交換ネットワーク20の出力は、さらに別の統計的な多重化ユニット18の入力に接続されており、その出

5

力はATMマルチプレクサ14の入力に接続されている。ATMマルチプレクサ14の出力は、交換ネットワークの出側である多数のラインカード10の入力に接続されている。Mで示される種々のコンポーネント間のリンクは、多重化された内部リンクを表している。各統計的な多重化ユニットは、フローコントロール制御器22を持っている。例えばラインカード8、マルチプレクサ12および統計的な多重化ユニット16の組み合わせは、周辺スイッチ群を含んでいる。実際にはATM交換ネットワークに接続された多数の周辺スイッチ群が存在する。各統計的な多重化ユニット16の内部には、ATM交換ネットワークに取り付けられた周辺スイッチ群の各々に関して1つの入力待ち行列が存在する。セルはどのような周辺スイッチ群の間でも独立的に送ることができる。そこにはセルレートを制御する制限要素が存在し、そしてそれらはATM交換ネットワークから周辺スイッチ群への出力リンクビットレート、および周辺スイッチ群からATM交換ネットワークへの出力リンクビットレートである。

【0018】フローコントロール処理は、内部的にスイッチへの、そして周辺スイッチ群間の、両方のすべての接続に関して明確にそれらのビットレートの制限を管理しそして、ATM交換ネットワークを通るビットレートをピーク確保に制限するよう動作する。

【0019】本発明は、一般的には統計的な多重化ユニット18内に設けられるものであり、そして以下にそれを説明する。

【0020】図4を参照すると、ピークセルレートを配慮するために、図1と同様の参照番号が付けられており、セルが伝送されることのできる最も早い時間に相当する、 $D_{max}$  (最大相互出発時間) のそれと類似の値がリーキバケットマネージャによって発生されなければならないことを示している。この値 $D_{min}$ はセルが伝送されることができるときの前の最小遅延値または「セルスロットの数」として定義される。

【0021】このメカニズムに関する動作の全体的な原理は、セルが、そのピークセルレートから計算された時間間隔とその維持できるセルレートから計算された時間間隔との間にだけ送ることができるということである。低負荷条件の下では、セルはピークセルレートに近い状態で送られるが、一方高い負荷の条件ではこれは維持できるセルレートに依存する。以下に説明される方法は、同一のセルに関して2つのスケジューリングメカニズムを利用するものである。それらのメカニズムの1つは、最小時間、ピークセルレートに関してセルをスケジューリングするものであり、他方は、最大時間、維持できるセルレートに関してセルをスケジューリングするものである。ピークセルレートカレンダーは、ピークセルレート基準が合致される前にはセルは送られないということを確実にするよう、リアルタイムで読まれる。しかし、維持できる

6

セルレートカレンダーは、最大時間、維持できるセルレートの前に読まれることはあっても、その後に読まれることはなく、こうして、サービスレートの許容≧維持できるセルレート、となる。(ピークセルレートおよび維持できるセルレートカレンダーからの) 両方のスケジューリングされた事象が処理されたときに、実際のセルが送られることができる。

【0022】リーキバケットマネージャ6からの2つの値( $D_{max}$ および $D_{min}$ ) が、2つの分離されたカレンダーに従ってスケジューリングするために、新しいセルバッファマネージャ4によって用いられる。維持できるセルレートカレンダーと呼ばれる第1カレンダーは、前に指摘したドイツ特許出願において説明されているものと全く同じである。第2のカレンダーは、ピークセルレートカレンダーと呼ばれる。図5を参照すると、維持できるセルレートカレンダーとピークセルレートカレンダーとの間の比較が示されている。

【0023】値 $T + D_{min}$ は、カレンダー上にセルをスケジューリングするのに用いられ、そして実際の時間読み出しポインタRTRPは、読み出しポインタの代わりに用いられる。ポインタRTRPは各時間スロットで増加するので、そのためその時間の前に行くことはない。ポインタRTRPはまた、図2に示された維持できるセルレートカレンダーにおいて用いられるリアルタイムポインタTに等しい。

【0024】図5および図6においては、以下の省略が用いられる。FLTはフリーリストテイルであり、FLHはフリーリストヘッドであり、CETはカレンダーエントリテイルであり、CEHはカレンダーエントリヘッドであり、RPはリードポインタであり、Tはリアルタイムポインタであり、POLTはピーク出力リストテイルであり、POLHはピーク出力リストヘッドであり、SOLTは維持できる出力リストテイルであり、SOLHは維持できる出力リストヘッドであり、そしてNCAはカレンダーのサイズである。

【0025】各セルはメモリ上に1度だけ蓄積されることが必要であるが、2つのポインタ、維持できるセルレートポインタ、およびピークセルレートポインタ、を必要とする。この働きが論理的にどのように行われるかが、図5及び図6に描かれている。図5においては、セルa、b、dおよびeが、維持できるセルレートカレンダーおよびピークセルレートカレンダーの両方の上にスケジューリングされるものとして示されている。セルbおよびaは、ピークセルレートカレンダー上の時間スロット待ち行列を形成する。それらのセルに関するピークセルレートカレンダーは、互いにリンクし、そしてそれらの最小出発時間遅延を表すピークセルレートカレンダー時間スロットに取り付けられる。しかしながら、セルb、dおよびeは、維持できるセルレートカレンダー上に時間スロット待ち行列を形成する。それらのセルに関する維持できるセ

ルレートカレンダーは、互いにリンクされ、そしてそれらの最大出発時間遅延を表す、維持できるセルレートカレンダー時間スロットに取り付けられる。共通セルメモリを持つこれら2つのカレンダーの間の相互作用は、図6に示されている。図6を参照すると、セルbは分離されたポイントを通して両方のカレンダー上にリンクされるように示されている。この説明においては、ポイントおよびセルは互いに他に対して隣接しているが、しかしこれは論理的な表現であって、セルはメモリ内に蓄積され、そしてポイントがそれを識別するがしかし、ポイントはこれが識別するセルとはメモリの異なるエリア内に存在している。

【0026】ポイントTおよびRTRPは、異なるカレンダー上のセルスロットをポイントするが、しかしこれは同じ時間を表し、ピークセルレートカレンダー時間スロットは常に維持できるセルレートカレンダー時間スロットよりも前に処理される。ピークセルレート時間スロットの処理は既知のヌル値、たとえばゼロ、に変換されているそれらのピークセルレートポイント値を持つようこれに取り付けられているすべてのセルを必要とする。維持できるセルレートカレンダーから、ゼロにセットされたそれらのピークセルレートポイント値を持つ処理されたすべてのセルが、出力待ち行列に転送される。維持できるセルレートカレンダーによってそれらが処理されたとき、ゼロにセットされたそれらのピークセルレートポイントを持たない維持できるセルレートカレンダーに取り付けられたセルは、維持できるセルレートカレンダー上に残される。こうして、ピークセルレートカレンダー時間スロットは、カレンダー上に残されるのが最も少ないセルとなるよう、前に説明されたように、常に最初に処理されねばならない。

【0027】それらのピークセルレートポイントがゼロにセットされていない維持できるセルレートカレンダー上に残されたセルは、それらのピークセルレートポイントがいつゼロにセットされるかをモニターされ、維持できるセルレートリードポイントRPはそれらに戻り、そしてそれらを出力待ち行列に転送する。この新しいポイントから次に前進調査が再び開始される。

【0028】前に説明されたように本発明は、「ルート」に拡張される。ルートはサービスの分離された品質を持つ、しかし同じピークセルレートを持つ仮想チャンネル接続のグループに関して定義される。それらの維持できるセルレートをもとに許容された接続は、ピークセルレートおよび、いくつかのクロス接続を通して次の大きなバッファされたスイッチへのパスを潜在的に、その両方を、規定するためにルートを使用する。カレンダースケジューリングアルゴリズムはこうして、それらの仮想チャンネル接続に結びついたそれらの維持できるセルレート値に、そしてそれらのルートに結びついたそれらのセルレート値に従って、セルをスケジューリングすることが

可能である。

【0029】図7は、ルートを取り扱うために必要となる付加物とともに概略的にカレンダーを示した図である。

【0030】これは全く明快に、表を参照するようモニター変更だけによってルートを取り扱い、その結果、ルートに関するピークセルレートは幾つかの仮想チャンネル接続VCC間に分割され、そしてそのためピークセルレートカレンダーによって連結的にスケジュールされることになる。

10 【0031】こうして、幾つかのATMスイッチから構成されるネットワークにおいては、たとえば維持できるセルレート、ピークセルレートおよび最大パストサイズのような、トラフィック特性を規定することによってパスト的なデータ接続がセットアップされることは明らかである。ATMスイッチを通過しているときには、トラフィック特性は合意されたパラメータの外側にあるよう変更され、そしてそのため削除されることを免れない。説明されたように、本発明はATMセルのVCC接続上にトラフィックシェーピングを実行するものであり、そのためそれらに割り当てられたパラメータ、すなわち維持できるセルレート、ピークセルレートおよび最大パストサイズ、内でスイッチから出力される。

20 【0032】当業技術者にとっては、特許請求の範囲に指定されるような本発明の範囲から離れることなく種々の変更が可能であることを容易に理解できるであろう。

【0033】

【発明の効果】こうして、ピークセルレートを制限するための装置を提供することができる。

【図面の簡単な説明】

30 【図1】どのようにしてATMセル2が入力線上で装置に入るかを示す図。

【図2】用いられるカレンダーメカニズムを示す図。

【図3】ATMスイッチの標準的なレイアウトを示す図。

【図4】拡張された出側キューイングおよびスケジューリング装置のブロック図。

【図5】ピークセルレートおよび維持できるセルレートカレンダーを示す図。

40 【図6】ピークセルレートと維持できるセルレートカレンダーとの間の相互作用を示す図。

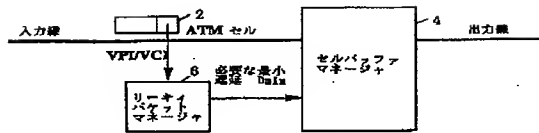
【図7】「ルート」操作のために拡張されたピークセルレートおよび維持できるセルレートカレンダーを示す図。

【符号の説明】

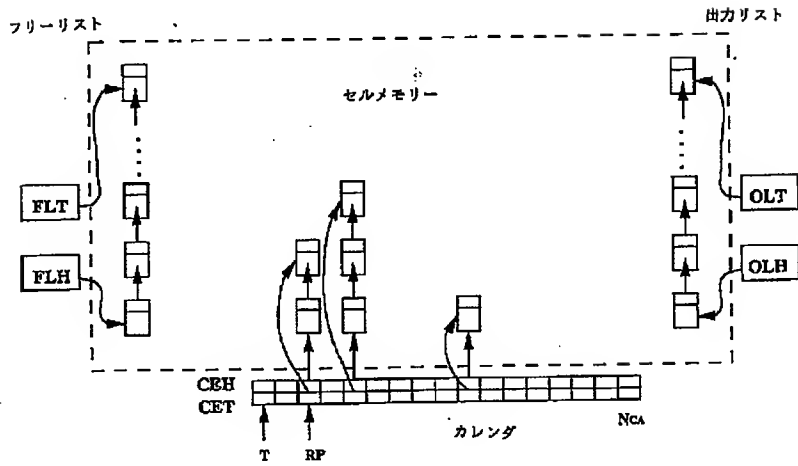
2 ATMセル  
4 セルバッファマネージャ  
6 リーキバケットマネージャ  
8, 10 ラインカード  
12, 14 マルチプレクサ  
16, 18 多重化ユニット  
50 20 交換ネットワーク

## 2.2 フローコントロール制御器

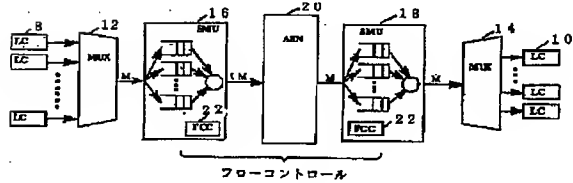
【図1】



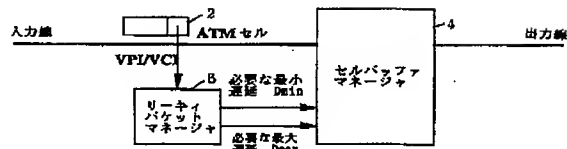
【図2】



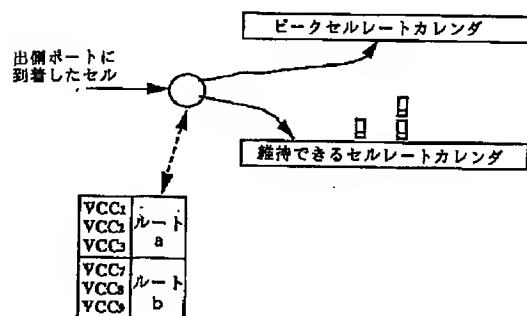
【図3】



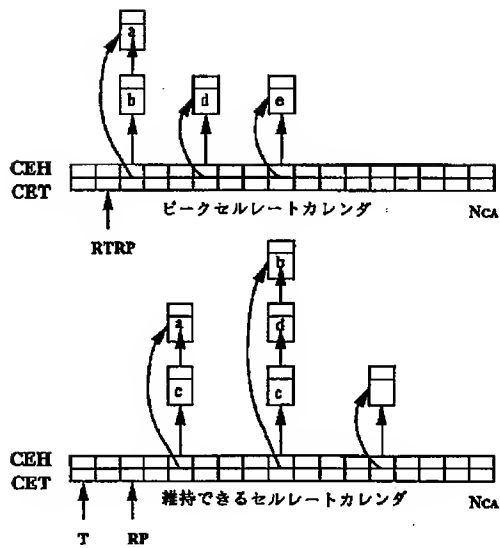
【図4】



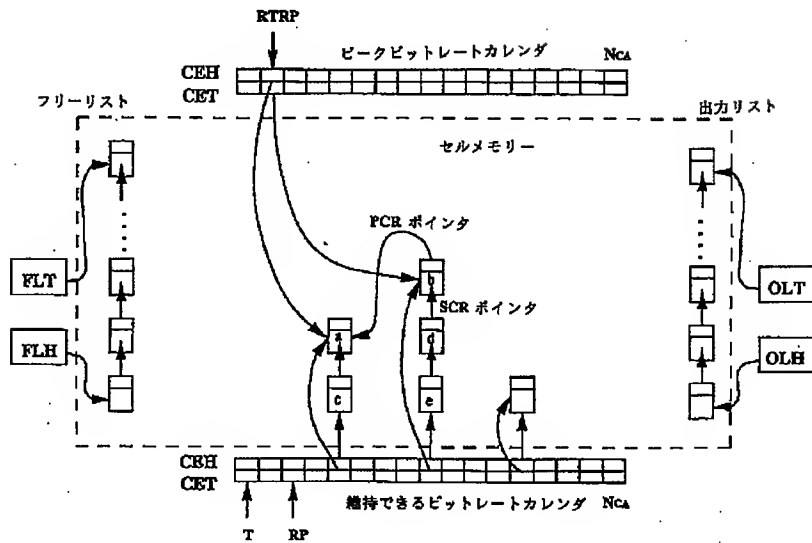
【図7】



【図5】



【図6】



フロントページの続き

(72)発明者 アンドリュウ ティモシー ヘイター  
イギリス国 サウサンプトン ビターン  
パーク コブデン ガーデンス 3

(72)発明者 サイモン ボール デイヴィス  
イギリス国 ハンプシャー ロムジー ウ  
ェスターリング 17

(72)発明者 ボール パーシード マムタハン  
イギリス国 サウサンプトン トットン  
ハンターズ クレセント 10

(72)発明者 オイゲン ベルンハルト ヴァルマイアー  
ドイツ連邦共和国 アイヒェナウ プサル  
トシュトラーセ 14